

[Embodiment]

Fig. 1 illustrates 16-step level monitor circuit as a first embodiment of the present invention, and Fig. 2 illustrates a time chart of the circuit in Fig. 1. The level monitor circuit includes: a variable gain amplifier configured of an operation amplifier (OP) 1 and electric switching elements SW1 to SW 4; a comparator (COMP) 2; a 4-bit counter 3; a flip-flop 4; a decoder 5; a NAND gate 6; an OR gate 7; and an AND gate 8. The switches SW1 - SW4 correspond to outputs Q_0 to Q_3 of the counter 3 respectively, and the switch SW is turned on when Q is "1". When the count value N is zero, the variable gain amplifier starts conversion at a gain $G_a=1$, and the comparator 2 compares the amplified signal $G_a \cdot V_{IN}$ with a reference voltage $\frac{V_{REF}}{16}$. If a condition $[G_a \cdot V_{IN} > \frac{V_{REF}}{16}]$ is fulfilled, the counter increments the count to thereby lower the gain. If a condition $[(G_a = \frac{1}{N+1}) G_a \cdot V_{IN} < \frac{V_{REF}}{16}]$ is fulfilled, the output of the comparator becomes "H", and the flip-flop 4 latches the counter values Q_0 to Q_3 at the falling edge of the clock. The four-bit data thus latched is converted into 16 steps by the decoder.

公開実用 昭和62- 203531

2/9

⑬ 日本国特許庁(JP)

⑭ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭62-203531

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑯ 公開 昭和62年(1987)12月25日

H 03 M 1/18
G 01 R 19/257

6832-5J
8606-2G

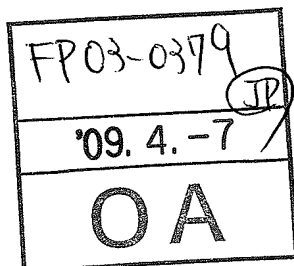
審査請求 未請求 (全 頁)

⑰ 考案の名称 レベルモニター回路

⑱ 実 願 昭61-92774

⑲ 出 願 昭61(1986)6月18日

⑳ 考 案 者	稲 垣 行 雄	川崎市中原区上小田中1015番地	富士通株式会社内
㉑ 考 案 者	山 中 俊 宏	川崎市中原区上小田中1015番地	富士通株式会社内
㉒ 出 願 人	富士通株式会社	川崎市中原区上小田中1015番地	
㉓ 代 理 人	弁理士 井 祐 貞一		



明 細 書

1. 考案の名称

レベルモニター回路

2. 実用新案登録請求の範囲

オペアンプ(1)と利得を変える電氣的スイッチング素子(SW1~SW4)からなる可変増幅器^{と、}レベルを判定するコンパレータ(2)と^{該判定に基づき該スイッチング素子}増幅度を制御するカウンタ(3)とカウンタ値を保持するフリップフロップ(4)とからなるレベルモニター回路。

3. 考案の詳細な説明

〔概要〕

本考案は、レベルモニター回路の、コンパレータの数を削減するために、入力信号の増幅度をカウンタ値により変え、コンパレータで増幅後の信号と基準電圧を逐次比較することにより、信号レベルを判定するものである。

〔産業上の利用分野〕

本考案は多ステップのレベルモニター回路に関する。

329

多ステップのレベルモニター回路では入力電圧を各ステップに対応する基準電圧と比較する必要がある。

〔従来の技術〕

従来の回路例として8ステップレベルモニターを第3図に示す。

基準電圧を8分割する8コの抵抗 $R_1 \sim R_8$ と、各電圧と入力信号 V_{IN} を比較する7個のコンパレータ $11-1$ から構成される。各コンパレータは入力が各基準電圧以上になった場合に“1”となる出力 $Y_1 \sim Y_7$ を出力する。そして、出力 $Y_1 \sim Y_7$ のうちどこまでが“1”か、あるいは全て“0”かによって、入力信号 V_{IN} が8つの範囲の何れにあるかが分かる。

〔考案が解決しようとする問題点〕

従来の回路例では、 N ステップレベルモニターを構成するために、 $(N-1)$ 個のコンパレータを必要とするため、ステップ数を大きくすると回



略規模が増大する。

〔問題点を解決するための手段〕

本考案は利得を同じ幅で段階的に変えられる増幅器と、該増幅器の出力と基準電圧とを比較する比較器と、該比較器出力により該増幅器の利得を定めるカウント値を変えるカウンタと、該比較器の出力により該カウンタのカウント値を保持するフリップフロップとから成る。

〔作用〕

本考案は利得可変増幅器により、入力信号の振幅を変え、1個のコンパレータで順次入力レベルを判定するもので、回路規模を縮小できる。

ここで、増幅度 G_a を $\frac{1}{K}$ 、入力信号の電圧を V_{IN} 、基準電圧を V_{REF} 、ステップ数を N とすると、 $G_a \cdot V_{IN}$ と $\frac{V_{REF}}{N}$ とを比較することは V_{IN} と $\frac{K}{N} V_{REF}$ とを比較することと同等である。

〔実施例〕

第1図に本考案の1実施例である16ステップレベルモニター回路を、第2図は第1図のタイムチャートを示す。レベルモニター回路はオペアンブ(OP)1、電氣的スイッチング素子SW1~4抵抗からなる利得可変増幅器、コンパレータ(COMP)2、4ビットカウンタ3、フリップフロップ4、デコーダ5、NANDゲート6、ORゲート7、ANDゲート8から構成される。スイッチSW1~SW4はカウンタ3の出力 $Q_0 \sim Q_3$ に対応し $Q = "1"$ の時SWはonとなる。カウンタ値Nが0のとき増幅度 $G_a = 1$ で変換を始め増幅後の信号 $G_a \cdot V_{IN}$ と基準電圧 $\frac{V_{REF}}{16}$ をコンパレータ2で比較し $[G_a \cdot V_{IN} > \frac{V_{REF}}{16}]$ の場合カウンタアップし増幅度をさげる。 $(G_a = \frac{1}{N+1}) G_a \cdot V_{IN} < \frac{V_{REF}}{16}$ の場合コンパレータ出力が"H"となり、クロックの立下りでフリップフロップ4にカウンタ値 $Q_0 \sim Q_3$ がラッチされる。ラッチされた4ビットのデータはデコーダ5で16ステップに変換される。

〔考案の効果〕

本考案によれば、入力信号の振幅を利得可変増幅器で変えることにより 1 個のコンパレータで、入力信号レベルが判定できるため、回路規模が縮小できる。

4. 図面の簡単な説明

第 1 図は本考案の実施例を示す図、

第 2 図は第 1 図のタイムチャート、

第 3 図は従来例を示す図。

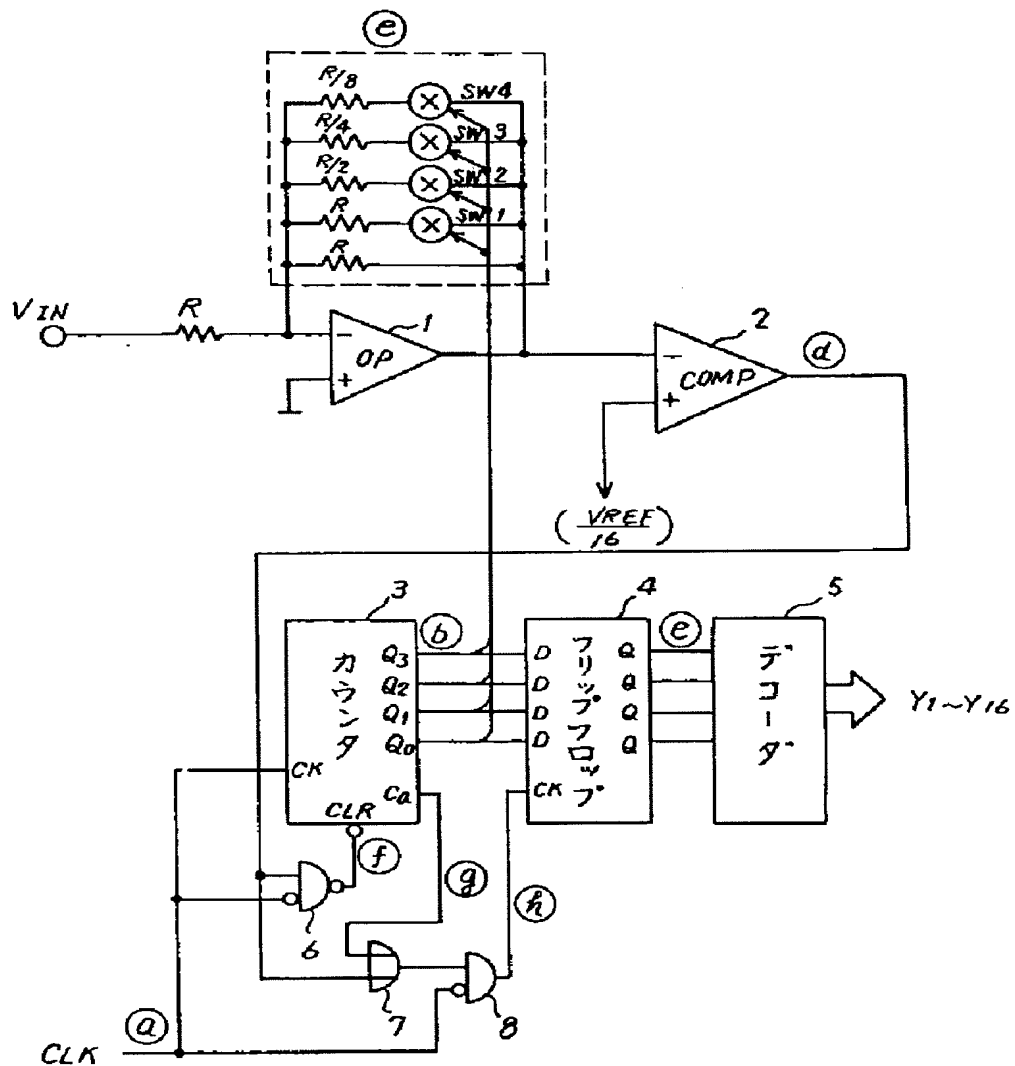
1…オペアンプ、2…コンパレータ、3…カウンタ、4…フリップフロップ、5…デコーダ

代理人 弁理士 井 桁 貞

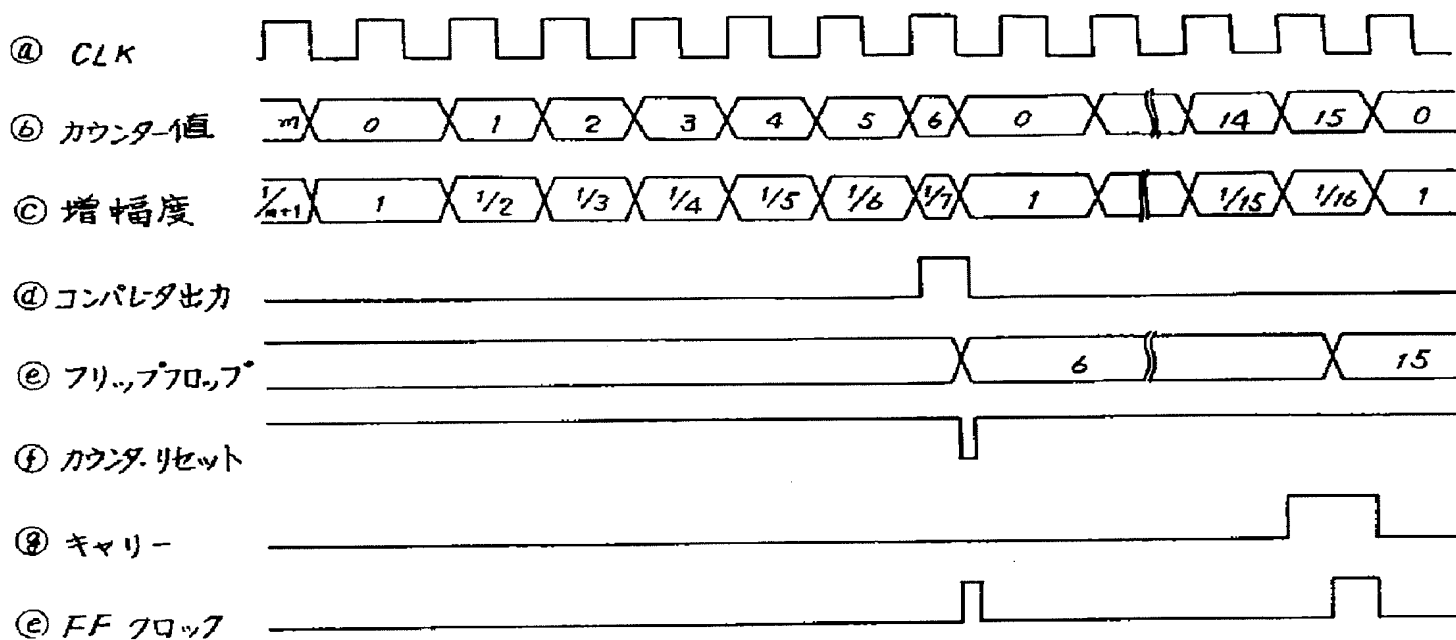


333

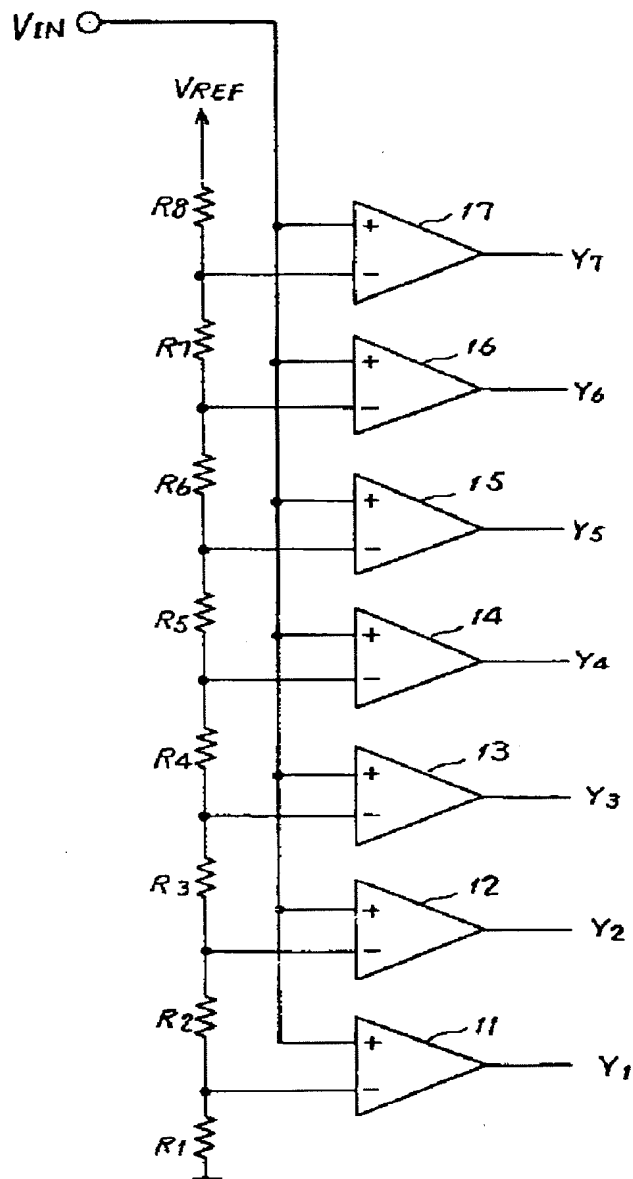




本考案の実施例
第 1 図



第 1 図のタイムチャート
第 2 図



従来例を示す図

第 3 図

336

代理人 弁理士 井 裕 貞



実開62-20353 1